

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 32 988.5

Anmeldetag: 19. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Verfahren und Vorrichtung zur getakteten
Ausgabe asynchron empfangener Digital-
signale

IPC: H 04 L 7/02

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 20. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Wehner

Zusammenfassung

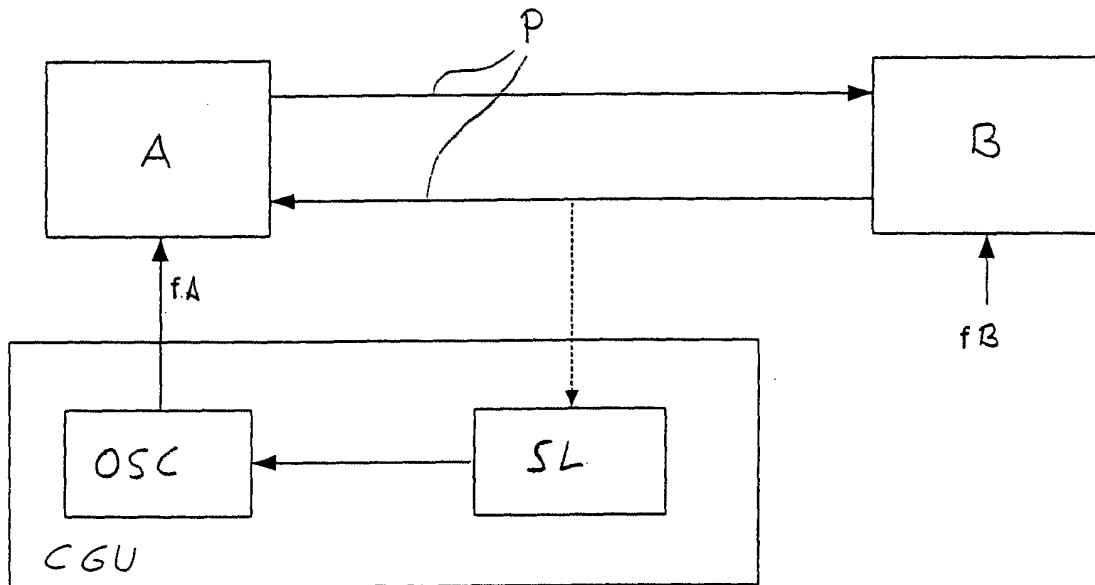
Verfahren und Vorrichtung zur getakteten Ausgabe asynchron empfangener Digitalsignale

5

Bei der asynchronen Übertragung von Digitalwerten zwischen einem Sender, von dem die Digitalwerte mit einer ersten Frequenz übertragen werden, und einem Empfänger (A, B), bei dem die empfangenen Digitalwerte mit einer zweiten Frequenz weiterverarbeitet und insbesondere ausgegeben werden, ist es nie möglich, die erste Frequenz und die zweite Frequenz genau aufeinander abzustimmen. In Folge entsteht durch die nie zu vermeidende Frequenzdifferenz ein Overflow oder ein Underrun der übertragenen Digitalwerte. Um dies zu vermeiden und auf der Seite des Empfängers (A, B) die Frequenz zur Verarbeitung empfangener Digitalwerte zu der Frequenz zu synchronisieren, mit der auf Seite des Senders (A, B) die Digitalwerte übertragen werden, wird die Anzahl der bei den Empfänger (A, B) eingehenden Digitalwerte bezogen auf die Zeit ermittelt und davon abhängig ein Ausgabetakt derart eingestellt, dass die Digitalwerte mit der Frequenz ausgegeben bzw. weiterverarbeitet werden, mit der sie im Mittel vom Empfänger (A, B) empfangen wurden. Das Verfahren eignet sich insbesondere, wenn zwischen zwei Teilnehmern (A, B) bidirektional Daten übertragen werden und bei beiden Teilnehmern (A, B) mit der gleichen Frequenz eingehende Digitalwerte analog ausgegeben und analoge Eingangssignale digitalisieren und zum jeweils anderen Teilnehmer (A, B) übertragen. In diesem Fall kann eine Synchronisierung des eigenen Takts zur Ausgabe empfangener Digitalwerte anhand der Anzahl der empfangenen Digitalwerte bei einem der beiden Teilnehmer (A, B) oder auch bei beiden Teilnehmern (A, B) durchgeführt werden. Vorteilhafterweise sind die beiden Teilnehmer (A, B) IP-Telefone zur Bereitstellung eines Fernsprechdienstes über ein Datenübertragungsnetzwerk. Die Anzahl der eingehenden Digitalwerte kann von einer Synchronisierlogik (SL) ausgewertet werden, die innerhalb einer Takterzeugungseinheit (CGU) zusammen mit einem Oszillator

(OSC) angeordnet ist, der von der Synchronisierlogik (SL) derart gesteuert wird, dass ein von ihm erzeugter Betriebs-
takt (f_A) für einen Teilnehmer (A) ein Weiterverarbeiten der
empfangenen Digitalwerte mit der gleichen Frequenz sicher-
5 stellt, mit der die Digitalwerte im zeitlichen Mittel empfan-
gen werden.

(Figur 3)



Beschreibung

Verfahren und Vorrichtung zur getakteten Ausgabe asynchron empfangener Digitalsignale

5

Die vorliegende Erfindung betrifft ein Verfahren bzw. eine Vorrichtung zur gleichmäßigen Ausgabe asynchron übertragener Digitalwerte mit einem Ausgabetakts.

- 10 In zahlreichen Anwendungsfällen besteht die Aufgabe, Digitalwerte möglichst gleichmäßig insbesondere analog auszugeben, wobei die Digitalwerte auf Grund der asynchronen Übertragung in unregelmäßigen Abständen eintreffen können. Eine möglichst gleichmäßige Ausgabe ist insbesondere bei akustischen Signalen erwünscht, wie sie beispielsweise im Fernspreverkehr
- 15 oder bei der Übertragung von Radioprogrammen auftreten. Gleiches gilt für Multimediadaten, wie beispielsweise Bilddaten oder kombinierte Bild- und Tondaten.

- 20 In Folge der asynchronen Übertragung ist in einem derartigen System kein zentraler Haupttakt verfügbar, auf den die verschiedenen an der Übertragung beteiligten Komponenten zurückgreifen können. Jede der beteiligten Komponenten erzeugt daher in solchen Systemen selbst den zur Ausgabe von Daten oder zum Einlesen von Daten erforderlichen Takt.
- 25

- Werden in einem solchen System zwischen zwei Komponenten Daten übertragen, so ist man bemüht, auf der Empfängerseite die Daten mit der gleichen Ausgabefrequenz auszugeben, wie sie
- 30 auf der Senderseite eingelesen worden sind. Dabei tritt jedoch das folgende Problem auf. In Figur 4 ist beispielhaft die Situation wiedergegeben, in der zwischen zwei Komponenten A und B Daten D über Leitungen P bidirektional übertragen werden, die bei den Komponenten A, B analog ausgegeben bzw.
- 35 eingelesen werden. Dabei verwendet die Komponente A die Frequenz f_A zum Aussenden der Daten D und zum Ausgeben empfangener Daten D. Entsprechend verwendet die Komponente D die Fre-

- quenz f_B . Da in der Praxis die beiden Frequenzen f_A und f_B niemals vollkommen gleich sind, bedeutet dies, dass nach einer gewissen Zeit in eine Richtung mehr Daten D übertragen werden als in die andere. In Figur 4 ist zur Veranschaulichung über die Zeit t die Anzahl der in beide Richtungen übertragenen Daten D dargestellt. Dabei ist zu sehen, dass von der Komponente A zur Komponente B sieben Datenelemente, in Gegenrichtung aber nur sechs Datenelemente übertragen worden sind. Dies bedeutet, dass bei der Komponente B mit der Zeit ein Daten-Overflow auftritt, bei dem mehr Daten D eingehen als ausgegeben werden und somit ein Datenstau entsteht. In der Praxis behilft man sich in diesem Fall dadurch, dass überzählige Daten eliminiert werden. Umgekehrt tritt bei der Komponente A der Fall ein, dass die Daten D mit einer geringeren Frequenz eintreffen als sie ausgegeben werden. Bei der Ausgabe der Daten D fehlen daher Daten, die nach einem aus dem Stand der Technik bekannten Verfahren durch Interpolation erzeugt werden.
- Der vorliegenden Erfindung liegt die Aufgabe zu Grunde, ein Verfahren sowie eine Vorrichtung zum gleichmäßigen Ausgeben von asynchron übertragenen Daten zu schaffen, wobei das Problem des Daten-Overflow bzw. des Daten-Underrun mit geringem Aufwand und ohne Einbußen bei der Qualität der Datenausgabe vermieden werden kann.

Erfindungsgemäß wird diese Aufgabe durch ein Verfahren mit den Merkmalen des Anspruchs 1 bzw. eine Vorrichtung mit den Merkmalen des Anspruchs 14 gelöst. Die Unteransprüche definieren vorteilhafte und bevorzugte Ausführungsformen der vorliegenden Erfindung.

Erfindungsgemäß ermittelt ein Empfänger die Anzahl der eintreffenden Daten bzw. Digitalwerte bezogen auf die Zeit und erzeugt daraus einen Wert für die Ausgabefrequenz zum Ausgeben der empfangenen Daten, bei dem die Digitalwerte mit der gleichen Frequenz ausgegeben werden, wie sie im Mittel emp-

fangen werden. Auf diese Weise wird vermieden, dass sich im Laufe der Zeit Digitalwerte ansammeln oder zu wenig Digitalwerte zum Ausgeben zur Verfügung stehen.

- 5 Die Information, wie viele Digitalwerte bezogen auf die Zeit eingehen, kann vorteilhafterweise mit Hilfe eines Zwischenspeichers gewonnen werden, in dem eingehende Digitalwerte gespeichert und zum Ausgeben wieder entnommen werden, wobei mit den Digitalwerten aus dem Speicher Zeiträume überbrückt werden können, in denen keine Digitalwerte eintreffen. Ein derartiger Zwischenspeicher ist bei asynchroner Übertragung in den meisten Fällen ohnehin erforderlich, da bei Übertragung beispielsweise über ein IP-Netzwerk oder allgemein bei paketbasierten Datenübertragungsnetzwerken die Übertragungsdauer
10 schwanken kann, so dass manche Digitalwerte bzw. Datenpakete schneller und manche langsamer ankommen können und somit zeitliche Lücken bei den eingehenden Digitalwerten entstehen können, die mit Hilfe des zuvor beschriebenen Zwischenspeichers ausgeglichen werden müssen.

- 20 Vorteilhafterweise wird dabei auch der Fall berücksichtigt, dass von einem Sender Digitalwerte an einen bestimmten Empfänger ausgesendet worden sind, diese den bestimmten Empfänger aber nicht erreichen. Um die Übertragungsfrequenz der übrigen Digitalwerte auf Grund verloren gegangener Digitalwerte nicht zu verändern, wodurch sich für den Empfänger bzw. einen Hörer im Fall von Audiodaten eine wahrnehmbare Verschlechterung des Signals ergeben würde, werden bei der Anzahl der empfangenen Digitalwerte auch die Digitalwerte berücksichtigt, die für den Empfänger bestimmt waren, diesen aber nicht erreicht haben. Diese Information ist z.B. bei paketbasierten Datenübertragungsnetzwerken in vielen Fällen ohnehin verfügbar, so dass der Empfänger die Digitalwerte mit Hilfe dieser Information exakt mit der Frequenz ausgeben kann, mit der sie
30 auf der Senderseite gewonnen worden sind. Die fehlenden Digitalwerte können ggf. durch interpolierte Werte ersetzt werden. Durch die fehlenden Digitalwerte wird zwar die Signal-
- 35

qualität stellenweise herabgesetzt, jedoch wird durch Berücksichtigung der verloren gegangenen Digitalwerte vermieden, dass die Ausgabefrequenz für die empfangenen Digitalwerte zu niedrig eingestellt wird.

5

Wenn die Information, wie viel Digitalwerte für einen bestimmten Empfänger ausgesendet wurden, zuverlässig zur Verfügung steht, kann direkt und ausschließlich auf diese Information zugegriffen werden, um den Ausgabetakts im Empfänger einzustellen.

10

Vorteilhafterweise wird der Ausgabetakts von einem Oszillator bzw. allgemein einem Taktgenerator erzeugt, der auch ohne Einstellsignal eine definierte Frequenz liefert, die vorteilhafterweise bei allen an der Übertragung der Digitalwerte teilnehmenden Komponenten gleich ist. Bei Durchführung des erfindungsgemäßen Verfahrens muss nur noch die Frequenz des Oszillators geringfügig angepasst werden, um eine Übereinstimmung des Ausgabetakts mit dem Takt zu erzielen, mit dem auf der Senderseite die Digitalwerte erzeugt worden sind. Der Nominalwert der Frequenz kann mit einfachen Mitteln bereits mit einer sehr hohen Genauigkeit eingehalten werden, so dass die erforderlichen Verstimmungen der Oszillatoren nur sehr gering sind und somit beim Empfänger der ausgegebenen Digitalwerte nicht auffallen.

15

20

25

Der Ausgabetakts kann durch Teilen oder Multiplizieren eines Ausgangssignals eines Oszillators erzeugt werden, wobei ganzzahlige und auch nicht ganzzahlige Faktoren denkbar sind. Die Einstellung des Ausgabetakts kann dabei auch durch Verändern des Faktors bei unveränderter Oszillatorfrequenz vorgenommen werden.

30

Auf Grund der in der Regel nur sehr geringen erforderlichen Veränderungen des Ausgabetakts kann auch die Frequenz eines Betriebstakts verändert werden, der beim Empfänger zum Betrieb vorgesehen ist und von dem der Ausgabetakts abgeleitet

35

wird. Ein solcher Betriebstakt ist allgemein dann vorhanden, wenn synchrone Schaltelemente und insbesondere Mikroprozessorsysteme vorhanden sind. Der Ausgabetakts wird in der Regel wesentlich geringer als der Betriebstakt sein, der zum Erzeugen des Ausgabetakts heruntergeteilt werden kann.

Vorteilhafterweise wird das erfindungsgemäße Verfahren in Systemen eingesetzt, in denen Datensignale bidirektional übertragen werden, wie beispielsweise beim Fernspreverkehr. Dabei besteht die Notwendigkeit, bei einem Empfänger bzw. Teilnehmer in Form von Digitalwerten eingehende Sprachsignale analog auszugeben, wobei dies mit einem Ausgabetakts geschieht. Der gleiche Takt wird vorzugsweise auch dazu verwendet, bei dem Teilnehmer analoge Signale zu digitalisieren, um diese dann auszusenden. Wenn ein derart eingerichteter Teilnehmer eine bidirektionale Verbindung mit einem anderen Teilnehmer aufnimmt, bei dem auch mit dem Ausgabetakts sowohl eingehende Digitalwerte ausgegeben als auch Analogwerte digitalisiert und übertragen werden, wird bereits eine Synchronisierung zwischen den Takten der beiden Teilnehmer erreicht, wenn einer der beiden Teilnehmer den Ausgabetakts gemäß dem erfindungsgemäßen Verfahren einstellt.

Da die Teilnehmer wechseln können und zur Durchführung des erfindungsgemäßen Verfahrens zur Synchronisierung des Ausgabetakts wenigstens ein Teilnehmer entsprechend eingerichtet sein muss, kann beispielsweise vorgesehen sein, dass alle Teilnehmer derart eingerichtet sind, dass bei ihnen das erfindungsgemäße Verfahren durchführbar ist und bei dem Verbindungsaufbau zwischen zwei Teilnehmern geregelt wird, welcher von beiden das Verfahren zur Synchronisierung durchführt. Darüber hinaus ist es auch möglich, dass beide Teilnehmer das erfindungsgemäße Verfahren zur Synchronisierung durchführen, wobei in diesem Fall durch Anpassung der Regelung, mit der die Einstellung des Ausgabetakts geschieht, sichergestellt sein muss, dass es zu keinem instabilen Verhalten der Regelungen kommen kann.

Die vorliegende Erfindung eignet sich grundsätzlich zur Synchronisierung eines eigengetakteten Systems zur Ausgabe von zeitdiskreten Werten mit einem Ausgabetakts bzw. zum zeitdiskreten Einlesen von Werten, wobei das System mit einem weiteren eigengetakteten System in Verbindung steht, von dem es auszugebende Daten erhält bzw. an das es eingelesene Daten weiterleitet. Eingetaktete Systeme sind allgemein Systeme mit eigenem Mastertakt. Ein solcher Fall ist beispielsweise bei einer Vorrichtung zur Bereitstellung eines Fernsprechdienstes über ein Datenübertragungsnetzwerk gegeben, wenn die von der Vorrichtung erzeugten Sprachsignale zur Übertragung auf dem Datenübertragungsnetzwerk noch codiert bzw. decodiert werden müssen und zur Codierung bzw. Decodierung ein eigener Takt verwendet wird. In diesem Fall findet die Verarbeitung der empfangenen bzw. ausgesendeten Daten in dem Codierer bzw. Decodierer mit einer ersten Frequenz statt, die nicht notwendigerweise mit der übereinstimmen muss, mit der in der Vorrichtung die Umsetzung zwischen den Digitalwerten und den zugehörigen Analogwerten stattfindet. Durch Anwendung des erfindungsgemäßen Verfahrens kann in einem solchen Fall eine Synchronisierung der Vorrichtung auf den im Codierer bzw. Decodierer verwendeten Takt erreicht werden.

Die Erfindung wird nachfolgend anhand zweier bevorzugter Ausführungsbeispiele unter Bezugnahme auf die beigelegten Zeichnungen näher erläutert.

Figur 1 zeigt den schematischen Aufbau einer Vorrichtung zur Verarbeitung und Digitalisierung von Audiosignalen gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung,

Figur 2 zeigt den schematischen Aufbau einer Vorrichtung zum Bereitstellen eines Fernsprechdienstes über ein Datenübertragungsnetzwerk gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung,

Figur 3 zeigt den grundsätzlichen schematischen Aufbau einer Vorrichtung zur Durchführung des erfindungsgemäßen Verfahrens, und

- 5 Figur 4 zeigt eine Anordnung zur bidirektionalen Datenübertragung gemäß dem Stand der Technik.

In Figur 3 ist der grundsätzliche Aufbau einer Einrichtung zur Durchführung des erfindungsgemäßen Verfahrens dargestellt. Dabei werden zwischen zwei Teilnehmern A, B über Leitungen P Daten bidirektional übertragen. Dabei können die Leitungen P auch Übertragungspfade sein, die über ein gemeinsames Medium führen. Das Aussenden von Daten und das Verarbeiten von eingehenden Daten wird bei den beiden Teilnehmern A, B im Takt einer teilnehmerspezifischen Frequenz f_A bzw. f_B durchgeführt. Dies bedeutet, dass beispielsweise beim Teilnehmer A im Takt der Frequenz f_A die über eine Leitung P eingehenden Daten verarbeitet und über die ausgehende Leitung P Daten ausgesendet werden. Die Daten stellen im beschriebenen Anwendungsfall Sprachsignale dar, die bei den Teilnehmern A, B akustisch ausgegeben bzw. eingelesen werden. Die beiden Teilnehmer A, B sind Fernsprecheinrichtungen, zwischen denen die Übertragung der Sprachsignale in digitaler Form über ein Datenübertragungsnetzwerk P stattfindet. In dem Datenübertragungsnetzwerk P werden die Sprachsignale in Form von Paketen asynchron übertragen, wobei die Zeitdauer der Übertragung zwischen den beiden Teilnehmern A, B schwanken kann.

Dem Teilnehmer A ist eine Takterzeugungseinheit (Clock Generation Unit) CGU zugeordnet, die eine Synchronisierlogik SL und einen steuerbaren Oszillator OSC enthält. Ein Eingang der Synchronisierlogik SL ist mit der beim Teilnehmer A eingehenden Datenübertragungsleitung D verbunden. Der Oszillator OSC erzeugt den Ausgabetakt f_A für den Teilnehmer A. Die Synchronisierlogik SL ist derart eingerichtet, dass sie die Anzahl der bei dem Teilnehmer A eingehenden Daten bzw. Digitalwerte je Zeiteinheit erfasst und davon abhängig den Oszillator OSC

derart steuert, dass der Ausgabetakt f_A dem Mittel der Frequenz entspricht, mit der bei dem Teilnehmer A Digitalwerte zur Ausgabe eingehen. Dies hat zur Folge, dass im Mittel genau so viele beim Teilnehmer A eingehende Digitalwerte ausgegeben werden, wie vom Teilnehmer B zum Teilnehmer A ausgesendet werden. Der Ausgabetakt f_A ist somit auf den Ausgabetakt f_B des Teilnehmers B synchronisiert. Dies hat wiederum zur Folge, dass auch beim Teilnehmer B die Digitalwerte im Mittel mit der gleichen Frequenz eingehen, wie sie dort verarbeitet bzw. analog ausgegeben werden können.

In Figur 1 ist der Aufbau einer Schaltungsanordnung VOP zur Verarbeitung und Digitalisierung von Audiosignalen gemäß dem ersten Ausführungsbeispiel der vorliegenden Erfindung dargestellt. In der dargestellten Ausführungsform werden innerhalb der Schaltungsanordnung VOP die Analogwerte in einer Analogschnittstelle bzw. einem analogen Frontend AFE ausgegeben bzw. eingelesen. Die Analogschnittstelle AFE kann dazu beispielsweise mit einem Telefonhörer verbunden sein, um über das Datenübertragungsnetzwerk eingehende Sprachsignale über einen Lautsprecher ausgeben zu können und um in das Mikrophon gesprochene Sprachsignale zu digitalisieren und über das Datenübertragungsnetzwerk zu versenden. Die Analogschnittstelle AFE ist dazu mit einem digitalen Signalprozessor DSP bidirektional verbunden, der eine Verarbeitung der Digitalwerte in beide Richtungen durchführt. Dies kann beispielsweise die Kompression bzw. Dekompression der Digitalwerte sein. Der digitale Signalprozessor DSP ist weiterhin mit einer Schnittstelle IOM verbunden, mittels der die Digitalwerte nach außen geleitet bzw. von außen eingelesen werden können.

Außerhalb der Schaltungsanordnung VOP ist eine externe Komponente CODEC angeordnet, die mit der Schnittstelle IOM verbunden ist. Die externe Komponente CODEC verwendet ihr eigenes Taktsignal bzw. besitzt ihren eigenen Mastertakt, um eingehende bzw. ausgehende Daten zu verarbeiten, der unabhängig vom Takt in der Schaltungsanordnung VOP ist. Die Kompo-

nente CODEC kann beispielsweise ebenfalls akustische Wandler zum Ausgeben bzw. Einlesen von akustischen Signalen aufweisen.

5 Die Schaltungsanordnung VOP weist weiterhin eine Takterzeugungseinheit CGU mit einer Synchronisierlogik SL und einem steuerbaren Oszillator OSC auf. Wie bei der in Figur 3 dargestellten Schaltungsanordnung schwingt der Oszillator OSC auch in diesem Fall ohne Stelleinwirkung durch die Synchronisierlogik SL auf eine Nominalfrequenz und kann von der Synchronisierlogik SL in geringen Grenzen verstimmt werden. Ein Eingang der Synchronisierlogik SL ist mit einer eingehenden Datenleitung verbunden. Die Synchronisierlogik SL ermittelt, wie viele Digitalwerte bei der Schaltungsanordnung VOP im zeitlichen Mittel eingehen und steuert den Oszillator OSC derart, dass von der Analogschnittstelle AFE die eingehenden Digitalwerte mit der Frequenz analog ausgegeben werden, mit der sie im zeitlichen Mittel bei der Schaltungsanordnung VOP eintreffen, wobei von der Synchronisierlogik SL auch ein Signal der externen Komponente CODEC verwendet werden kann. Mit der gleichen Frequenz werden auch analoge Sprachsignale von der Analogschnittstelle AFE digitalisiert und zur Übertragung über das Datenübertragungsnetzwerk zu dem digitalen Signalprozessor DSP, der Schnittstelle IOM und schließlich der Komponente CODEC geleitet. Somit wird in der Schaltungsanordnung VOP der Takt für die Analogschnittstelle auf den Takt synchronisiert, mit dem die Komponente CODEC arbeitet bzw. mit dem eingehende Digitalwerte erzeugt worden sind, so dass bei der bidirektionalen Datenübertragung zwischen der Schaltungsanordnung VOP gemäß Figur 1 und der Komponente CODEC in keiner Übertragungsrichtung ein Daten-Underrun oder Daten-Overflow auftritt. Einzige Bedingung dafür ist, dass in der Komponente CODEC auch eine einzige Frequenz zum Verarbeiten empfangener und ausgesendeter Digitalwerte verwendet wird.

35

In Figur 2 ist eine Schaltungsanordnung VOIP zum Bereitstellen eines Fernsprechdienstes über ein Datenübertragungsnetz-

werk IP-Net gemäß der zweiten Ausführungsform der vorliegenden Erfindung dargestellt. Ein derartiger Dienst wird auch als Voice over IP bezeichnet. Im Unterschied zum ersten Ausführungsbeispiel findet hier die Codierung bzw. Decodierung der Digitalsignale innerhalb der Schaltungsanordnung VOIP statt. Dazu weist die Schaltungsanordnung VOIP neben einer Analo

5 gnschnittstelle AFE einem digitalen Signalprozessor DSP, einen Prozessor CPU einer Takterzeugungseinheit CGU mit einer Schnittstelle IFA auf. Die Analo

10 gnschnittstelle AFE, der digitale Signalprozessor DSP, die Takterzeugungseinheit CGU, die Synchronisierlogik SL und der Oszillator OSC entsprechen denen des ersten Ausführungsbeispiels, so dass auf die dortige Beschreibung dieser Komponenten Bezug genommen wird. Der Prozessor CPU ist mit dem digitalen Signalprozessor DSP verbunden und bereitet innerhalb der Schaltungsanordnung VOIP die

15 Digitalsignale zur Übertragung über ein Datenübertragungsnetzwerk IP-Net vor und überträgt diese bzw. empfängt diese mittels der Schnittstelle IFA zu bzw. von dem Datenübertragungsnetzwerk IP-Net. Die Schaltungsanordnung VOIP stellt einen

20 ersten Teilnehmer A dar.

Das Datenübertragungsnetzwerk IP-Net ist weiterhin mit einem zweiten Teilnehmer B verbunden, der in gleicher Weise aufgebaut ist wie der Teilnehmer A.

25

Der Eingang der Synchronisierlogik SL ist in diesem Fall mit dem Prozessor CPU verbunden, in dem mittels geeigneter Software ein Zwischenspeicher realisiert ist. Dieser Zwischenspeicher dient zur Unterdrückung von Jittern, die auf Grund unterschiedlich langer Übertragungsdauern der einzelnen Datenpaketen innerhalb des Datenübertragungsnetzwerks IP-Net auftreten können. Dazu werden in den Zwischenspeicher die empfangene Digitalwerte gespeichert, so dass für eine bestimmte Zeitdauer Digitalwerte zur analogen Ausgabe auf Vor

30 rat bereitstehen. Diese Zeitdauer kann beispielsweise 100 ms betragen. Bei Erhöhung dieser Zeitdauer können zwar größere Differenzen bei der Übertragungsdauer verschiedener Digital-

35

signale überbrückt werden, jedoch führt dies auch zu einer längeren Verzögerung der empfangenen Digitalwerte und somit zu einer Beeinträchtigung der Sprachqualität.

- 5 Mit Hilfe dieser Zwischenspeicherung kann der Prozessor CPU ermitteln, wie viele Digitalsignale im zeitlichen Mittel in einem bestimmten Zeitraum eingehen und diese Information an die Synchronisierlogik SL weiterreichen. Wie im ersten Ausführungsbeispiel der vorliegenden Erfindung steuert die Synchronisierlogik SL den Oszillator anhand der vom Prozessor CPU empfangenen Eingangsinformationen derart, dass die An-
- 10 logschnittstelle AFE die empfangenen Digitalwerte mit der Frequenz ausgibt, mit der sie empfangen wurden, so dass der Füllstand des Zwischenspeichers in einem bestimmten Bereich
- 15 gehalten werden kann und nicht nach oben oder unten wegdriftet.

- Auf diese Weise wird beim ersten Teilnehmer A die Frequenz für die Anlogschnittstelle zu der Frequenz der Analog-
- 20 schnittstelle im Teilnehmer B synchronisiert. Umgekehrt findet eine derartige Synchronisierung auch am Teilnehmer B statt, so dass die Frequenzen für die beiden Anlogschnittstellen AFE in den beiden Teilnehmern A, B sich gegenseitig synchronisieren. Dies muss bei der Auslegung der bei den bei-
- 25 den Teilnehmern A, B verwendeten Regelungen zum Einstellen der Oszillatorfrequenz berücksichtigt werden, um ein instabiles Verhalten zu vermeiden.

Patentansprüche

1. Verfahren zur gleichmäßigen Ausgabe von asynchron übertragenen Digitalwerten (D) mit einem Ausgabetak (fA, fB) in einem Empfänger (A, B),
5 dadurch gekennzeichnet,
dass der Empfänger (A, B) die Anzahl der vom Empfänger (A, B) empfangenen Digitalwerte (D) bezogen auf die Zeit ermittelt und davon abhängig den Ausgabetak (fA, fB) derart einstellt,
10 dass der Digitalwert (D) mit der Frequenz ausgegeben wird, mit der im zeitlichen Mittel der Empfänger (A, B) die Digitalwerte (D) empfängt.
2. Verfahren nach Anspruch 1,
15 dadurch gekennzeichnet,
dass Digitalwerte (D), die für den Empfänger (A, B) bestimmt waren, den Empfänger (A, B) aber nicht erreicht haben, bei der Ermittlung der Anzahl der vom Empfänger (A, B) empfangenen Digitalwerte (D) als empfangene Digitalwerte (D) berücksichtigt werden.
20
3. Verfahren nach Anspruch 2,
dadurch gekennzeichnet,
dass die Information über die Anzahl der vom Empfänger (A, B) empfangenen Digitalwerte (D) bzw. der für den Empfänger (A, B) bestimmten Digitalwerte (D) Informationsdatenpaketen entnommen werden, die von einem Sender (A, B) erzeugt werden, der die für den Empfänger (A, B) bestimmten Digitalwerte (D) aussendet.
25
- 30
4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,
dass der Ausgabetak von einem Ausgangssignal eines Oszillators (OSC) abgeleitet wird, der ohne Stelleinwirkung eine Nominalfrequenz liefert, die mit Hilfe einer Stelleinwirkung beeinflussbar ist.
35

13

5. Verfahren nach Anspruch 4,
dadurch gekennzeichnet,
dass das Ausgangssignal des Oszillators (OSC) der Betriebs-
takt für den Empfänger (A, B) ist.

5

6. Verfahren nach Anspruch 4 oder 5,
dadurch gekennzeichnet,
dass der Ausgabetakt durch Teilen des Ausgangssignals des Os-
zillators (OSC) erzeugt wird.

10

7. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass der Empfänger (A, B) eine Sendeeinrichtung zum Übertra-
gen von Digitalwerten aufweist, wobei der Übertragungstakt
dem Ausgabetakt entspricht.

15

8. Verfahren nach Anspruch 7,
dadurch gekennzeichnet,
dass zwischen einem ersten Empfänger (A) und einem zweiten
Empfänger (B) Digitalwerte (D) bidirektional übertragen wer-
den, und beide Empfänger (A, B) ihren Ausgabetakt für empfan-
gene Digitalwerte (D) in Abhängigkeit der auf die Zeit bezo-
genen Anzahl der Digitalwerte (D) einstellen, die vom jeweils
anderen Empfänger (A, B) ausgesendet wurden.

20

25

9. Verfahren nach Anspruch 7 und 8,
dadurch gekennzeichnet,
dass beide Empfänger (A, B) sowohl den Ausgabetakt für emp-
fangene Digitalwerte (D) als auch den Übertragungstakt für
ausgesendete Digitalwerte (D) einstellen.

30

10. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,
dass die Digitalwerte (D) analog ausgegeben werden.

35

11. Verfahren nach einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet,

14

dass die Digitalwerte (D) Sprachsignale sind, die in einem System zur Bereitstellung eines Fernsprechdienstes über ein Datenübertragungsnetzwerk (IP-Net) übertragen werden.

- 5 13. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Empfänger (A, B) die Digitalwerte (D) von einem eingetakteten Datendecoder bzw. Datenencoder (CODEC) empfängt.

10

14. Vorrichtung zur gleichmäßigen Ausgabe von asynchron übertragenen Digitalwerten (D) mit einem Ausgabetakt (f_A , f_B), dadurch gekennzeichnet, dass die Vorrichtung (VOIP) eine Takterzeugungseinheit (CGU) aufweist, die derart eingerichtet ist, dass sie die Anzahl der von der Vorrichtung (VOIP) empfangenen Digitalwerte (D) bezogen auf die Zeit ermitteln und davon abhängig den Ausgabetakt (f_A , f_B) derart einstellen kann, dass die Digitalwerte (D) mit der Frequenz ausgegeben werden, mit der im zeitlichen Mittel Digitalwerte (D) von der Vorrichtung (VOIP) empfangen werden.

15

20

15. Vorrichtung nach Anspruch 14, dadurch gekennzeichnet, dass die Vorrichtung (VOIP) zur Durchführung eines Verfahrens nach einem der Ansprüche 1 bis 13 eingerichtet ist.

25

30

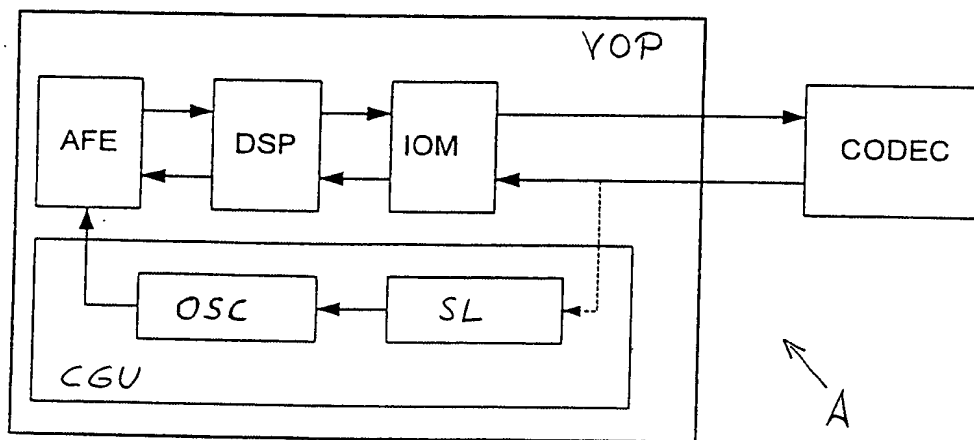


Fig. 1

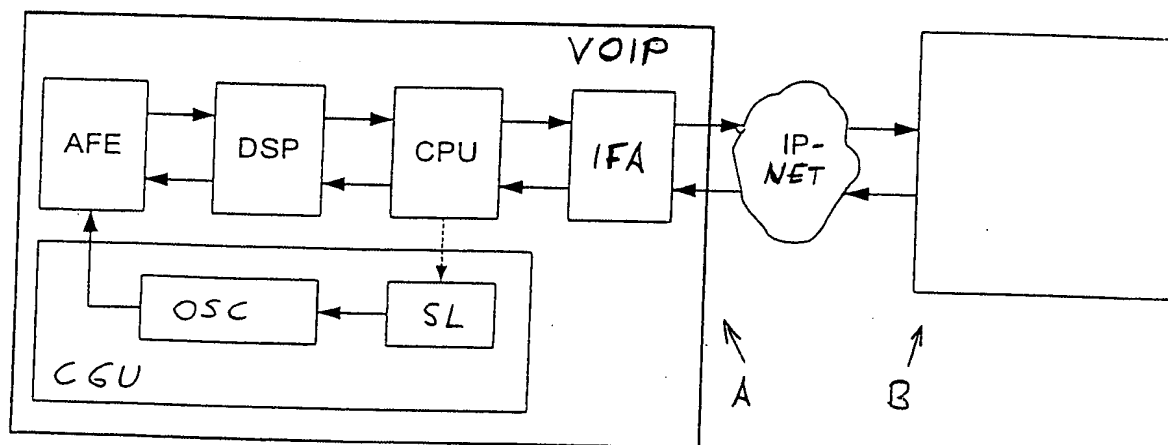


Fig. 2

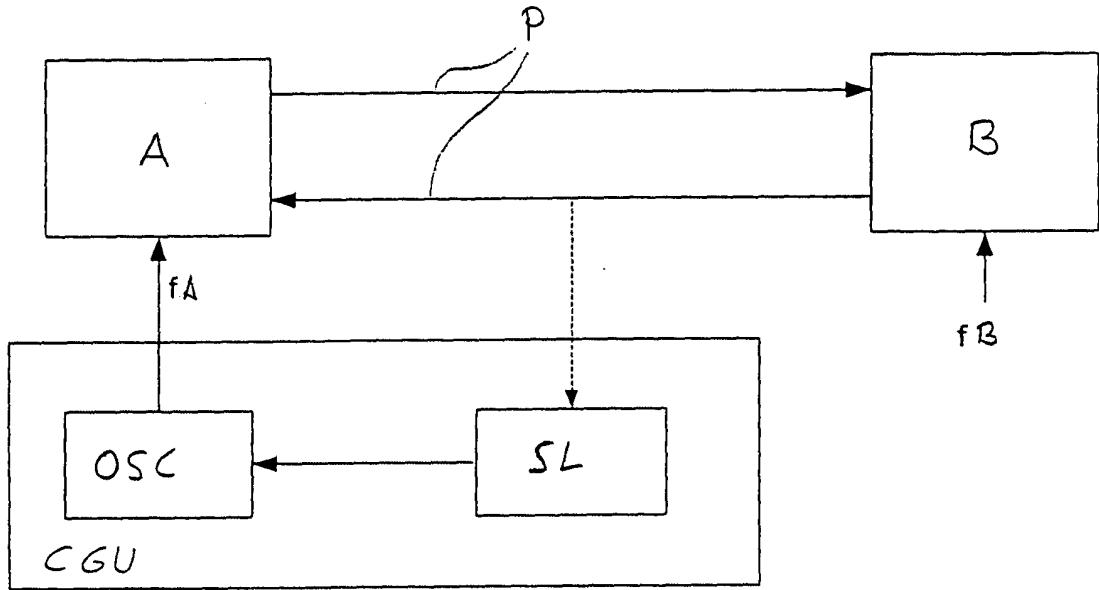


Fig. 3

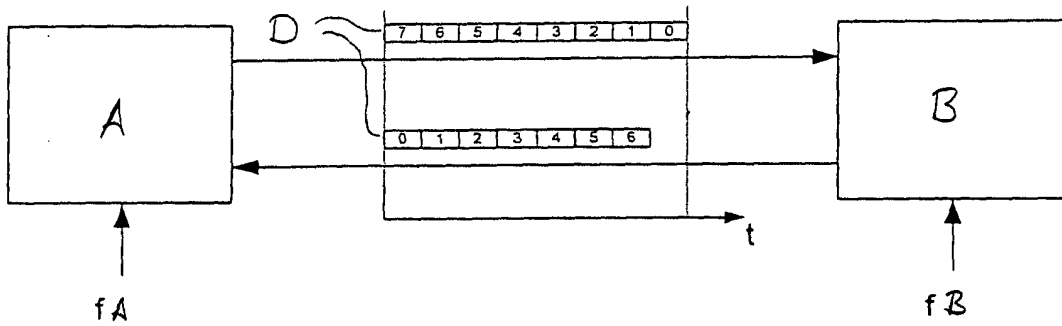


Fig. 4